

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-320268

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

G11C 11/407
G11C 11/413

(21)Application number : 09-000048

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 06.01.1997

(72)Inventor : KEI KEIKEN

(30)Priority

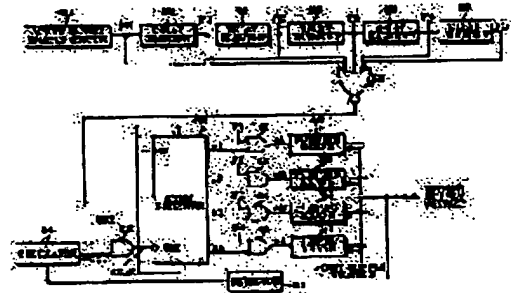
Priority number : 95 9567794 Priority date : 30.12.1995 Priority country : KR

(54) BOOSTING VOLTAGE GENERATION CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress sudden charge/discharge of electric charges and to reduce a power noise by successively driving a prescribed number of pumping means in a standby state and continuously driving all pumping means in an active state.

SOLUTION: Pulse signals P1-P5 are outputted from delay devices 22-30 by an input of the pulse signal P0, to be inputted to a NOR gate 32. A control signal ODB from the gate 32 keeps an L-state for a prescribed time. The signal ODB stops operation of a shift register 38 from after the signal P0 is transited to an H, until the signal P5 is transited to an L. Then, the output signals s1-s4 of the register 38 keep the L state. On the other hand, the signals P1-P4 are logically combined by the output signals s1-s4 of the register 38 and OR gates 40-46. Then, the signals answering to the signals P1-P4 are outputted as enable signals e1-e4. Thus, the output signals transmitted to an output line perform pumping operation four times, to transmit a large electric charge.



LEGAL STATUS

[Date of request for examination]

11.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-320268^d

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. ⁴	識別記号	序内整理番号	FI	技術表示箇所
G11C 11/407			G11C 11/34	354F
11/413				335A

審査請求 未請求 請求項の数9 OL (全9頁)

(21) 出願番号 特願平9-48

(22) 出願日 平成9年(1997)1月6日

(31) 優先権主張番号 1995 P 67794

(32) 優先日 1995年12月30日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅露洞416

(72) 発明者 慶 柱顯

大韓民国京畿道安養市東安区新村洞無窮花

逸興アパート503棟702号

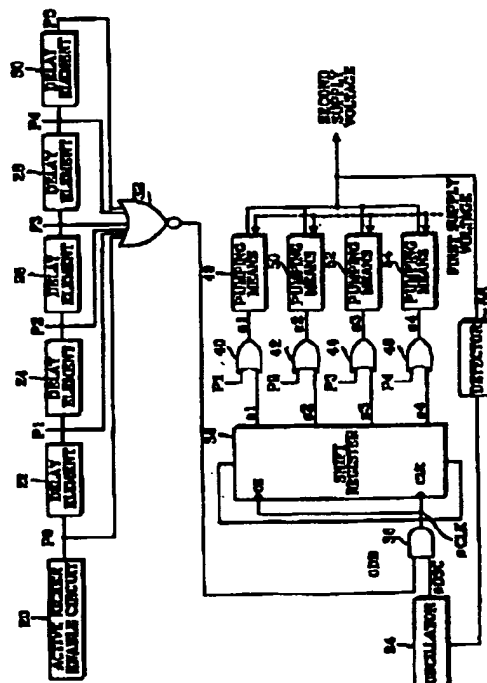
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 半導体メモリ装置の昇圧電圧発生回路

(57) 【要約】

【課題】 大容量キャパシタを不要としてパワー雑音を減らし、昇圧効率がよく高速動作に適し、集積性に優れた昇圧電圧発生回路を提供する。

【解決手段】 アクティブでマスタクロックを出力するアクティブキックイネーブル回路と、これにตอบสนองして所定時間ずつ遅延する複数の遅延器と、所定周期のパルス信号を出力するオシレータと、アクティブキックイネーブル回路及び遅延器の出力論理組合せ結果とオシレータの出力とから順次的な制御信号を出力し、この制御信号と遅延器の一部の出力信号とを論理組合せして順次的なイネーブル信号を出力するポンピング駆動手段と、ポンピング駆動手段の順次的なイネーブル信号にตอบสนองして入力電圧をポンピングする複数のポンピング手段と、ポンピング手段の出力端とオシレータのフィードバック経路に接続された検出器とから構成され、スタンバイ状態では所定数のポンピング手段が順次駆動され、アクティブ状態ではポンピング手段の全てが連続的に駆動される。



【特許請求の範囲】

【請求項1】 半導体メモリ装置の昇圧電圧発生回路において、

アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、

前記アクティブキッカイネーブル回路の出力にตอบสนองして所定時間ずつ遅延する複数の遅延器と、

所定周期のパルス信号を出力するオシレータと、

前記アクティブキッカイネーブル回路及び前記遅延器の出力信号の論理組合せられた出力と前記オシレータの出力とを論理組合せて順次的な制御信号を出力し、前記順次的な制御信号と前記遅延器の一部の出力信号とを論理組合せて順次的なイネーブル信号を出力するボンピング駆動手段と、

前記ボンピング駆動手段の順次的なイネーブル信号にตอบสนองして入力電圧をボンピングする複数のボンピング手段と、

前記ボンピング手段の出力端と前記オシレータのフィードバック経路に接続された検出器とから構成され、スタンドバイ状態では所定数のボンピング手段が順次駆動され、アクティブ状態では、前記ボンピング手段の全てが連続的に駆動されることを特徴とする半導体メモリ装置の昇圧電圧発生回路。

【請求項2】 前記ボンピング駆動手段が、前記アクティブキッカイネーブル回路及び前記遅延器の出力信号を論理組合せる第1ゲーティング手段と、前記第1ゲーティング手段と前記オシレータの出力信号を論理組合せる第2ゲーティング手段と、前記第2ゲーティング手段の出力にตอบสนองして順次的な制御信号を出力するシフトレジスタと、前記シフトレジスタから出力される順次的な制御信号と前記遅延器の一部の出力信号とを論理組合せる複数の第3ゲーティング手段と、から構成されることを特徴とする請求項1記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項3】 前記第1、第2及び第3ゲーティング手段が、それぞれNORゲート、ANDゲート及びORゲートであることを特徴とする請求項2記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項4】 前記複数のボンピング手段が4つで構成されることを特徴とする請求項1記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項5】 半導体メモリ装置の昇圧電圧発生回路において、

アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、

前記アクティブキッカイネーブル回路の出力にตอบสนองして所定時間ずつ遅延する複数の遅延器と、

所定周期のパルス信号を出力するオシレータと、

前記アクティブキッカイネーブル回路及び前記遅延器の

出力信号にตอบสนองして、出力される所定の制御信号と前記オシレータの出力とを論理組合せ、前記論理組合せられた出力と前記遅延器の一部の出力信号の論理組合せられた出力とを論理組合せて順次的な制御信号を出力し、前記順次的な制御信号を入力してパルス形態の順次的なイネーブル信号を出力するボンピング駆動手段と、前記ボンピング駆動手段の順次的なイネーブル信号にตอบสนองして入力電圧をボンピングする複数のボンピング手段と、

前記ボンピング手段の出力端と前記オシレータのフィードバック経路に接続された検出器とから構成され、スタンドバイ状態では所定数のボンピング手段が順次駆動され、アクティブ状態では、前記ボンピング手段の全てが連続的に駆動されることを特徴とする半導体メモリ装置の昇圧電圧発生回路。

【請求項6】 前記ボンピング駆動手段が、前記アクティブキッカイネーブル回路の出力信号と前記遅延器中の所定遅延器の出力信号とを入力してオシレータの駆動を制御するオシレータ制御回路と、前記オシレータ制御回路の出力信号と前記オシレータの出力信号とを論理組合せる第1ゲーティング手段と、前記遅延器中の一部遅延器の出力を論理組合せる第2ゲーティング手段と、前記第1ゲーティング手段及び第2ゲーティング手段の出力を論理組合せる第3ゲーティング手段と、前記第3ゲーティング手段の出力にตอบสนองして順次的な制御信号を出力するシフトレジスタと、前記シフトレジスタから出力される順次的な制御信号にตอบสนองして複数のイネーブル信号を出力する複数のパルス発生手段と、から構成されることを特徴とする請求項5記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項7】 前記第1ゲーティング手段がANDゲート、第2及び第3ゲーティング手段がORゲートであることを特徴とする請求項6記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項8】 半導体メモリ装置の昇圧電圧発生回路において、

アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、

前記アクティブキッカイネーブル回路の出力にตอบสนองして前記アクティブキッカイネーブル回路の出力によって可変周期のパルス信号を出力する可変オシレータと、

前記可変オシレータの出力にตอบสนองして順次的な制御信号を出力し、前記順次的な制御信号を入力してパルス形態の順次的なイネーブル信号を出力するボンピング駆動手段と、

前記ボンピング駆動手段の順次的なイネーブル信号にตอบสนองして入力電圧をボンピングする複数のボンピング手段と、

前記ボンピング手段の出力端と前記オシレータのフィー

ドバック経路に接続された検出器とから構成され、スタンドバイ状態では所定数のポンピング手段が順次駆動され、アクティブ状態では、前記ポンピング手段の全てが連続して駆動されることを特徴とする半導体メモリ装置の昇圧電圧発生回路。

【請求項9】 前記ポンピング駆動手段が、前記可変オシレータの出力にตอบสนองして順次的な制御信号を出力するシフトレジスタと、前記シフトレジスタから出力される制御信号にตอบสนองしてパルス形態の順次的なイネーブル信号を出力する複数のパルス発生回路と、から構成されることを特徴とする請求項8記載の半導体メモリ装置の昇圧電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特に、メモリ装置の動作電源電圧より高い電圧を発生する半導体メモリ装置の昇圧電圧発生回路に関する。

【0002】

【従来の技術】ダイナミックランダムアクセスメモリのような半導体メモリ装置の高集積化は急速に進捗している。このような高集積半導体メモリ装置において、集積化される前に使用された電源電圧を集積化された素子及び回路にそのまま印加する場合、前記電源電圧により発生する強電界により、集積化された素子及び回路に激しいストレスが加わって前記素子及び回路が破壊される可能性が高いため、高集積半導体メモリ装置での動作電源電圧の降下は必須的である。

【0003】しかし、相対的に低まった電源電圧を使用する場合にも、高電圧レベルが必要な場合が頻繁に発生し、このような必要を充足させるためには、チップ外部の電源電圧を前記高電圧レベルが必要な回路及び素子に直接使用するか、高電圧を発生する昇圧電圧発生回路をチップ内部に搭載して前記外部電源電圧レベル以上の高電圧を使用することもある。イネーブル動作時にワードラインに供給されるワードライン電圧、又は共有センスアンプ構造のメモリ装置において分離ゲートの選択的な断続に使用される分離ゲート制御信号は、この昇圧電圧発生回路から出力される高電圧を使用する代表的な例である。

【0004】このような高レベルの電圧を発生する昇圧電圧発生回路に対しては、当該分野で多様に設計された多数の昇圧電圧発生回路が広範囲に使用されている。通常、前記昇圧電圧発生回路は、スタンドバイ昇圧電圧発生回路とアクティブ昇圧電圧発生回路とに分けて、スタンドバイ状態とアクティブ状態とで相互異なる電荷量を前記高電圧が必要な回路及び素子へ供給する。実際に、アクティブ状態で使用される電荷量がスタンドバイ状態で使用される電荷量に比べて多い。

【0005】図1は、従来技術に従う一般的な半導体メモ

リ装置のスタンドバイ昇圧電圧発生回路のブロック図、図2は、従来技術に従う一般的な半導体メモリ装置のアクティブ昇圧電圧発生回路のブロック図である。

【0006】同図に示すように、オシレータ10の出力端はポンピング手段12の入力端と接続される。前記ポンピング手段12の電源電圧端子には第1電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が入力される。前記ポンピング手段12の出力端から第2電源電圧、例えば外部電源電圧レベル以上の所望の高電圧が出力される。前記ポンピング手段12の出力端とオシレータ10との間のフィードバック経路には検出器14が接続される。

【0007】図2に示すように、アクティブキックイネーブル回路16の出力端はポンピング手段18の入力端に接続される。前記ポンピング手段18の電源電圧端子には第1電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が入力される。前記ポンピング手段18の出力端から第2電源電圧、例えば外部電源電圧レベル以上の高電圧が出力される。

【0008】図1において、オシレータ10は、周期的にパルスを発生させ、ポンピング手段12は、前記オシレータ10から出力されるパルス列形態の出力信号にตอบสนองして第1電源電圧レベルを第2電源電圧レベルに昇圧する。検出器14は、前記ポンピング手段12から出力される第2電源電圧レベルを感知して前記第2電源電圧レベルが予め設定された電圧レベル以上となることを防止するため、オシレータ10の動作を制御する。このようなスタンドバイ昇圧電圧発生回路は、半導体メモリ装置がスタンドバイ状態にある時、前記第1電源電圧レベルを前記第2電源電圧レベルにポンピングさせる役割を遂行する。

【0009】図2において、アクティブキックイネーブル回路16は、半導体メモリ装置内部で高電圧を使用する回路の使用状態に応じて適正な周期のマスタクロックを発生する。そして、ポンピング手段18は、前記アクティブキックイネーブル回路16から出力されるマスタクロックにตอบสนองして前記第1電源電圧レベルを第2電源電圧レベルに昇圧する。このようなアクティブ昇圧電圧発生回路は、メモリ装置がアクティブ状態にある時、前記メモリ装置の電荷の使用程度によって大容量の電荷を供給する役割を遂行する。図1及び図2に示すように、スタンドバイ昇圧電圧発生回路及びアクティブポンピング発生回路の構成及び動作は当該分野で広く知られており、個別回路に対しても多様な構成の回路が公開されているので、ブロック図のみ示す。

【0010】しかしながら、図1及び図2に示したような従来の昇圧電圧発生回路は下記の問題点を有する。一番目、前記昇圧電圧発生回路は、スタンドバイ状態とアクティブ状態で別に使用される二つの回路に分けられている。このように二つに分けられた理由はスタンドバイ

状態とアクティブ状態の場合に供給すべき電荷量が異なるためである。実際に、アクティブ状態では動作回路及び素子の数が増えるため、供給すべき電荷量がスタンドバイ状態より急激に増えることになる。

【0011】二番目、多量の電荷を供給する大容量のアクティブ昇圧電圧発生回路が一つのマスタクロックにより動作するので、一時的に充放電される電荷量が多くなることによりパワー雑音(power noise)が大きくなる。

【0012】三番目、前記アクティブ昇圧電圧発生回路のボンピング手段が大容量の電荷を一時に供給するために大容量のキャパシタを備え、これにより前記大容量のキャパシタを充放電させるためボンピング効率が低下し、大容量のキャパシタを配置するために高集積に不利になる。

【0013】四番目、ボンピング動作時、大容量のキャパシタが動作するためにボンピングに要求される時間が長くなって高速動作を阻害するという短所がある。

【0014】

【発明が解決しようとする課題】従って、本発明の目的は、スタンドバイ状態とアクティブ状態の場合に同じに使用し得る半導体メモリ装置の昇圧電圧発生回路を提供することにある。

【0015】本発明の他の目的は、小容量のキャパシタを多段に接続して連続的にボンピング動作を遂行してボンピング効率が高められる半導体メモリ装置の昇圧電圧発生回路を提供することにある。

【0016】本発明のまた他の目的は、パワー雑音が減少させ得る半導体メモリ装置を提供することにある。本発明のさらに他の目的は、高速動作に有利な半導体メモリ装置を提供することにある。

【0017】本発明のなお他の目的は、高集積に有利な半導体メモリ装置を提供することにある。

【0018】

【課題を解決するための手段】このような目的を達成するために、本発明に従う半導体メモリ装置の昇圧電圧発生回路において、アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、前記アクティブキッカイネーブル回路の出力に応答して所定時間ずつ遅延する複数の遅延器と、所定周期のパルス信号を出力するオシレータと、前記アクティブキッカイネーブル回路及び前記遅延器の出力信号の論理組合わせられた出力と前記オシレータの出力とを論理組合わせて順次的な制御信号を出力し、前記順次的な制御信号と前記遅延器の一部の出力信号とを論理組合わせて順次的なイネーブル信号を出力するボンピング駆動手段と、前記ボンピング駆動手段の順次的なイネーブル信号に応答して入力電圧をボンピングする複数のボンピング手段と、前記ボンピング手段の出力端と前記オシレータのフィードバック経路に接続された検出器とから構成され、スタンド

バイ状態では所定数のボンピング手段が順次駆動され、アクティブ状態では、前記ボンピング手段の全てが連続的に駆動されることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明に従う半導体メモリ装置の昇圧電圧発生回路の好適な実施例を添付図面を参照しつつ説明する。

【0020】図3は、本発明の一実施例に従う半導体メモリ装置の昇圧電圧発生回路の回路図である。同図に示すように、パルス信号P0は、アクティブキッカイネーブル回路20の出力端から出力され、前記アクティブキッカイネーブル回路20の出力端は遅延器22の入力端及び第1ゲーティング手段、つまりNORゲート32の第1入力端に共通接続される。パルス信号P1は、前記遅延器22の出力端から出力され、前記遅延器22の出力端は、遅延器24の入力端及びNORゲート32の第2入力端に共通接続される。パルス信号P2は、前記遅延器24の出力端から出力され、前記遅延器24の出力端は、遅延器26の入力端及びNORゲート32の第3入力端に共通接続される。パルス信号P3は、前記遅延器26の出力端から出力され、前記遅延器26の出力端は、遅延器28の入力端及びNORゲート32の第4入力端に共通接続される。パルス信号P4は、前記遅延器28の出力端から出力され、前記遅延器28の出力端は、遅延器30の入力端及びNORゲート32の第5入力端に共通接続される。パルス信号P5は、前記遅延器30の出力端から出力され、前記遅延器30の出力端は、NORゲート32の第6入力端に接続される。前記第1ゲーティング手段、つまりNORゲート32の出力端は第2ゲーティング手段、つまりANDゲート36の第1入力端に接続される。パルス列形態の出力信号φOSCは、オシレータ34の出力端から出力され、前記オシレータ34の出力端は、前記ANDゲート36の第2入力端に接続される。クロック信号φCLKは、前記ANDゲート36の出力端から出力され、前記クロック信号φCLKは、シフトレジスタ38の出力イネーブル端子OEとクロック入力端子CLKに共通入力される。出力信号s1～s4は、前記シフトレジスタ38の出力端から出力され、前記出力信号s1～s4は、第3ゲーティング手段、つまりORゲート40～46の第2入力端にそれぞれ入力される。前記ORゲート40～46の第1入力端には、前記遅延器22～28の出力であるパルス信号P1～P4が入力される。イネーブル信号e1～e4は、前記ORゲート40～46の出力端からそれぞれ出力され、前記イネーブル信号e1～e4は、ボンピング手段48～54の入力端にそれぞれ入力される。前記NORゲート32、ANDゲート36、シフトレジスタ38及びORゲート40～46は、前記ボンピング手段48～54の駆動を制御する。前記ボンピング手段48～54の他の電源端子には第1電源電圧、例えば、チ

ップ内部の動作電源電圧として使用される内部電源電圧が印加される。前記ボンピング手段48～54の出力端は互いに接続され、第2電源電圧、例えば、外部電源電圧レベル以上のボンピング電圧を出力する。前記ボンピング電圧が出力される出力端は、検出器56の入力端に接続され、前記検出器56の出力端は、前記オシレータ34の入力端にフィードバックされて接続される。

【0021】図4は、図3による動作タイミング図である。スタンバイ状態でアクティブキックイネーブル回路20及び遅延器22～30の出力は全て論理“ロー”状態になる。従って、スタンバイ状態でNORゲート32の出力、つまり制御信号ODBは論理“ハイ”状態を維持する。この状態で、オシレータ34からパルス列形態の出力信号φOSCが出力されると、ANDゲート36は、前記オシレータ34の出力信号φOSCと同一なパルス列形態の出力信号φCLKを出力する。これにより、シフトレジスタ38では、前記ANDゲート36の出力信号φCLKに対応する出力信号を出力する。

【0022】同図に示すように、出力信号S2とS3がイネーブルされる。この出力信号S2とS3は、ORゲート42とORゲート44に入力されてパルス信号P2とパルス信号P3と論理組合せられる。これにより、前記ORゲート42、44では、イネーブル信号e2とe3が出力されてボンピング手段50、52の入力端にそれぞれ入力されてボンピングされる。その結果、前記ボンピング手段50、52の出力によりボンピングされた第2電源電圧が出力される。

【0023】一方、アクティブ状態で、アクティブキックイネーブル回路20ではパルス信号P0が出力される。前記パルス信号P0の入力により、パルス信号P1～P5は、遅延器22～30から出力される。前記パルス信号P0～P5は、NORゲート32の入力端に伝達される。従って、常にNORゲート32の出力端から伝達される制御信号ODBは、論理“ロー”状態を所定時間の間維持することになる。この際、前記アクティブキックイネーブル回路20から出力されるマスタクロックのパルス幅は最長時間の遅延手段より長く設計される。このようになると、前記制御信号ODBは、パルス信号P0が論理“ハイ”状態に遷移した後からパルス信号P5が論理“ロー”状態に遷移するまで論理“ロー”状態になってシフトレジスタ38の動作を停止させる。従って、前記シフトレジスタ38の出力信号s1～s4は論理“ロー”状態を維持する。一方、パルス信号P1～P4は、前記シフトレジスタ38の出力信号s1～s4とORゲート40～46で論理組合せられる。これにより、前記パルス信号P1～P4に対応する信号は、イネーブル信号e1～e4として出力される。その結果、出力ラインに伝達される出力信号は、4回のボンピング動作を遂行して大電荷を伝達する。

【0024】図5は、本発明の他の実施例に従う半導体

メモリ装置の昇圧電圧発生回路の回路図である。同図に示すように、パルス信号P0は、アクティブキックイネーブル回路60の出力端から出力され、前記アクティブキックイネーブル回路60の出力端は、遅延器62の入力端とオシレータ制御回路72のセット端子に共通接続される。パルス信号P1は、前記遅延器62の出力端から出力され、前記遅延器62の出力端は、遅延器64の入力端に接続される。パルス信号P2は、前記遅延器64の出力端から出力され、前記遅延器64の出力端は、遅延器66の入力端に接続される。パルス信号P3は、前記遅延器66の出力端から出力され、前記遅延器66の出力端は、遅延器68の入力端に接続される。パルス信号P4は、前記遅延器68の出力端から出力され、前記遅延器68の出力端は、遅延器70の入力端に接続される。パルス信号P5は、前記遅延器70の出力端から出力され、前記遅延器70の出力端は、前記オシレータ制御回路72のリセット端子に接続される。前記オシレータ制御回路72の出力端は第1ゲーティング手段、つまりANDゲート76の第1入力端に接続される。オシレータ74の出力端は前記ANDゲート76の第2入力端に接続される。前記ANDゲート76の出力端は第3ゲーティング手段、つまりORゲート80の第2入力端子に接続される。前記遅延器62～68の出力信号であるパルス信号P1～P4は、第2ゲーティング手段、つまりORゲート78の入力端にそれぞれ接続される。クロック信号φCLKは、前記ORゲート80の出力端から出力され、前記ORゲート80の出力端は、シフトレジスタ82のクロック入力端子に接続される。出力信号s1～s4は、前記シフトレジスタ82の出力端から出力され、前記出力信号s1～s4は、パルス発生回路84～90の入力端にそれぞれ入力される。イネーブル信号e1～e4は、前記パルス発生回路84～90の出力端から出力され、前記パルス発生回路84～90の出力端は、ボンピング手段92～98の入力端にそれぞれ接続される。前記オシレータ制御回路72、ANDゲート76、ORゲート78、80、シフトレジスタ82及びパルス発生回路84～90は、ボンピング手段の駆動を制御する役割を遂行する。前記ボンピング手段92～98の他の電源端子には第1電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が印加される。前記ボンピング手段92～98の出力端は互いに接続され、第2電源電圧、例えば外部電源電圧レベル以上のボンピング電圧を出力する。前記ボンピング電圧が出力される出力端は検出器100の入力端に接続され、前記検出器100の出力端は、前記オシレータ74の入力端にフィードバックされて接続される。

【0025】図6は、図5による動作タイミング図である。スタンバイ状態で、アクティブキックイネーブル回路60及び遅延器62～70の出力は全て論理“ロー”状態になる。従って、スタンバイ状態でオシレー

タ制御回路72の出力、つまり制御信号ODBは論理“ハイ”状態を維持する。この状態で、オシレータ74からパルス列形態の出力信号φOSCが出力されると、ANDゲート76の出力は、前記オシレータ74の出力信号φOSCと同一なパルス列形態の信号を出力し、前記パルス信号P1～P4の出力が全て論理“ロー”状態であるので、ORゲート78の出力は、常に論理“ロー”状態を維持する。このようになると、ORゲート80の出力端から前記ANDゲート76の出力と同一なクロック信号φCLKが出力される。これにより、シフトレジスタ82から前記ORゲート80の出力信号φCLKに対応する出力信号が出力される。前記クロック信号φCLKにตอบสนองして、出力信号s1とs3がイネーブルされる。この出力信号s2とs3は、パルス発生回路86、88に入力されてイネーブル信号e2、e3が出力され、このイネーブル信号e2、e3の入力にตอบสนองして、ボンピング手段94、96からボンピングされた第2電源電圧が出力される。

【0026】一方、アクティブ状態で、アクティブキックイネーブル回路60からパルス信号P0が出力される。前記パルス信号P0の入力に於いて、遅延器62～70からパルス信号P1～P5が出力される。前記パルス信号P0及びP5は、オシレータ制御回路72のセット端子及びリセット端子にそれぞれ伝達される。従って、前記オシレータ制御回路72の出力端から伝達される制御信号ODBは、論理“ロー”状態を所定時間の間維持する。この際、前記アクティブキックイネーブル回路60から出力されるマスタクロックのパルス幅は、最短時間の遅延手段より短く設計される。すると、前記制御信号ODBは、パルス信号P0が論理“ハイ”状態に遷移した後からパルス信号P5が論理“ロー”状態に遷移するまで、論理“ロー”状態になってシフトレジスタ82の出力を断続する。同時に、パルス信号P1～P4がORゲート78で論理組合せられてシフトレジスタ82のクロック入力端子に入力され、前記シフトレジスタ82から出力信号s1～s4が順次論理“ハイ”状態に出力される。このような出力信号s1～s4は、パルス発生回路84～90に入力されて、所定幅を有するイネーブル信号e1～e4が出力される。これにより、出力ラインに伝達される出力信号は、4回のボンピング動作を遂行して大電荷を伝達する。

【0027】図7は、本発明のまた他の実施例に従う半導体メモリ装置の昇圧電圧発生回路の回路図である。同図において、アクティブキックイネーブル回路110の出力は、可変オシレータ112の第1入力端に入力される。前記可変オシレータ112の出力端からφCLKが出力され、前記可変オシレータ112の出力端は、シフトレジスタ114のクロック入力端子に接続される。前記シフトレジスタ114の出力端から出力信号s1～s4が出力され、前記シフトレジスタ114の出力信号s

1～s4は、パルス発生回路116～122の入力端にそれぞれ入力される。前記パルス発生回路116～122の出力端からイネーブル信号e1～e4が出力され、前記出力信号e1～e4は、ボンピング手段124～130の入力端に入力される。前記シフトレジスタ114及びパルス発生回路116～122は、可変オシレータ112の出力にตอบสนองして前記ボンピング手段124～130を制御する。前記ボンピング手段124～130の電源入力端子には、第1電源電圧が印加される。前記ボンピング手段124～130の出力端は互いに接続され、前記出力端から第2電源電圧が出力される。前記ボンピング手段124～130の出力端は、検出器132の入力端に接続され、前記検出器132の出力端は、前記可変オシレータ112の第2入力端にフィードバックされて接続される。

【0028】図8は、図7による動作タイミング図である。図7に示した実施例では、可変オシレータ112を使用して前記可変オシレータ112のパルス区間幅を可变的に設定する。即ち、スタンバイ状態ではパルス区間が広く占められており、アクティブ状態ではパルス区間が狭く占められている。これにより、出力ラインに伝達される出力信号は、スタンバイ状態では1回のボンピング動作を遂行してボンピング電圧を供給し、アクティブ状態では、連続的に4回のボンピング動作を遂行して大電荷を伝達する。その他の動作過程は、図3及び図5に示した本発明の実施例の動作と類似している。

【0029】本発明では、アクティブ状態とスタンバイ状態でボンピング電圧の供給が一つの回路、すなわち昇圧電圧発生回路により実現される。この回路では、スタンバイ状態でオシレータの出力にตอบสนองして順次1回又は2回のボンピング動作を遂行し、アクティブ状態で連続して多数回ボンピング動作を遂行する。

【0030】

【発明の効果】以上から説明してきたように、本発明の実施例に従う半導体メモリ装置の昇圧電圧発生回路により、スタンバイ状態とアクティブ状態でボンピング電圧をチップ内部に供給することにより、従来のような大容量のキャパシタが不要である。これに従い、急激な電荷の充放電を抑制してパワー雑音を著しく減らすことができる。又、小容量のキャパシタを多数設け、アクティブ状態時、複数回ボンピング動作を遂行するのでボンピング効率面にも有利であり、小容量のキャパシタの使用により集積化にも助けになる。なお、ボンピング動作に所要される時間を短縮させることにより、半導体メモリ装置の高速動作が図れるという長所がある。

【図面の簡単な説明】

【図1】従来技術に従う一般な半導体メモリ装置のスタンバイ昇圧電圧発生回路のブロック図である。

【図2】従来技術に従う一般な半導体メモリ装置のアクティブ昇圧電圧発生回路のブロック図である。

【図3】本発明の一実施例に従う半導体メモリ装置の昇圧電圧発生回路の回路図である。

【図4】図3による動作タイミング図である。

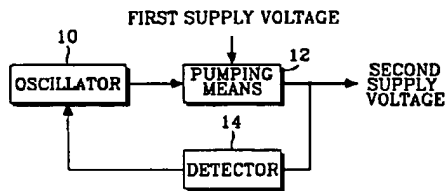
【図5】本発明の他の実施例に従う半導体メモリ装置の昇圧電圧発生回路の回路図である。

【図6】図5による動作タイミング図である。

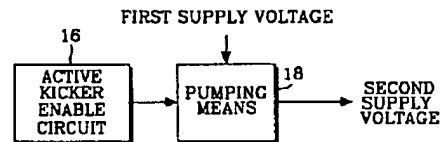
【図7】本発明のまた他の実施例に従う半導体メモリ装置の昇圧電圧発生回路の回路図である。

【図8】図7による動作タイミング図である。

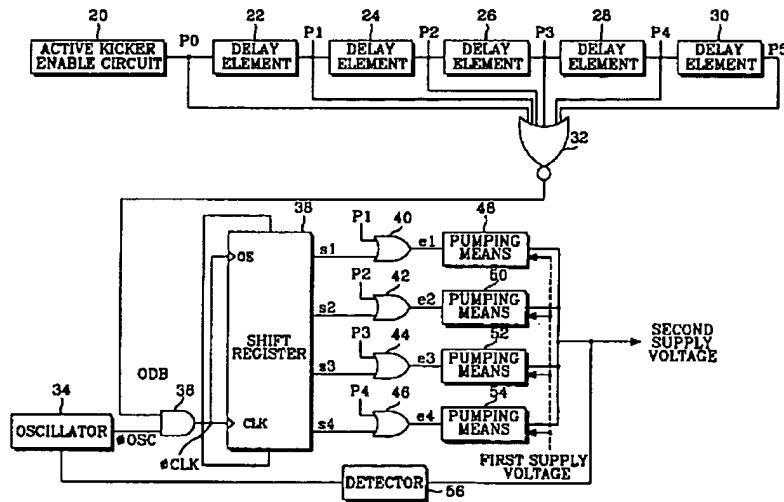
【図1】



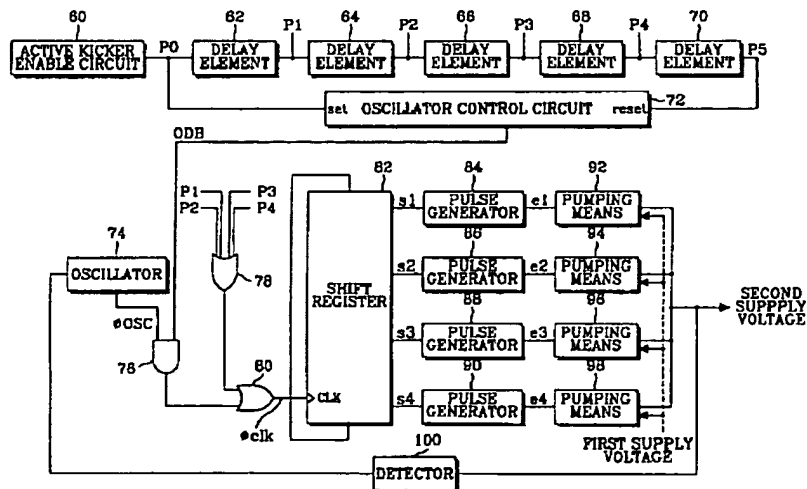
【図2】



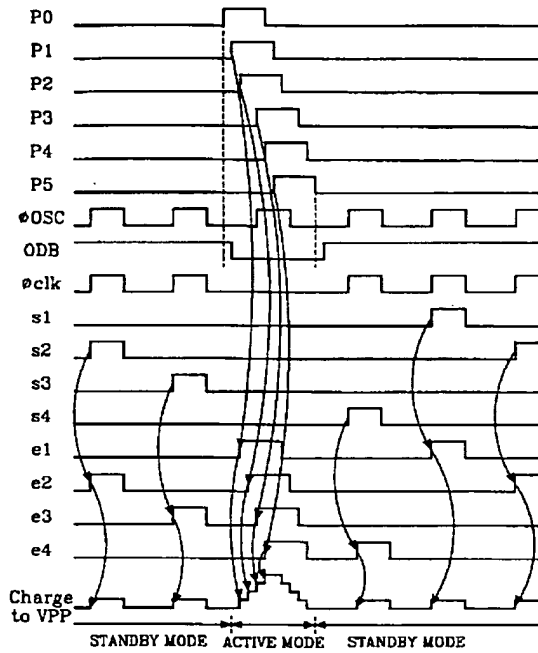
【図3】



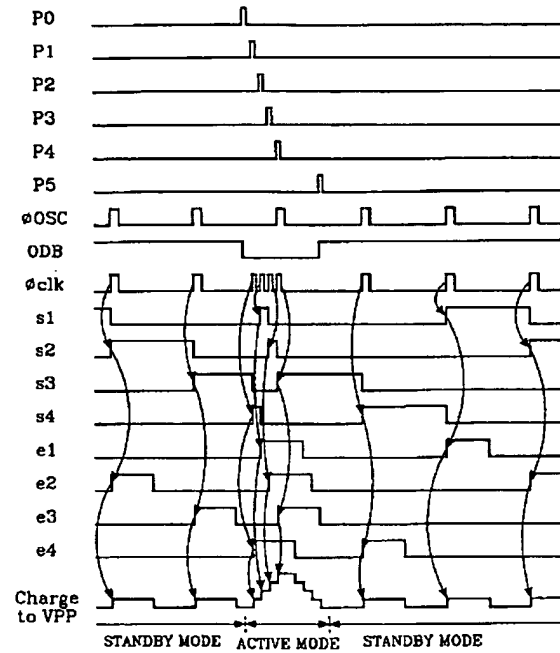
【図5】



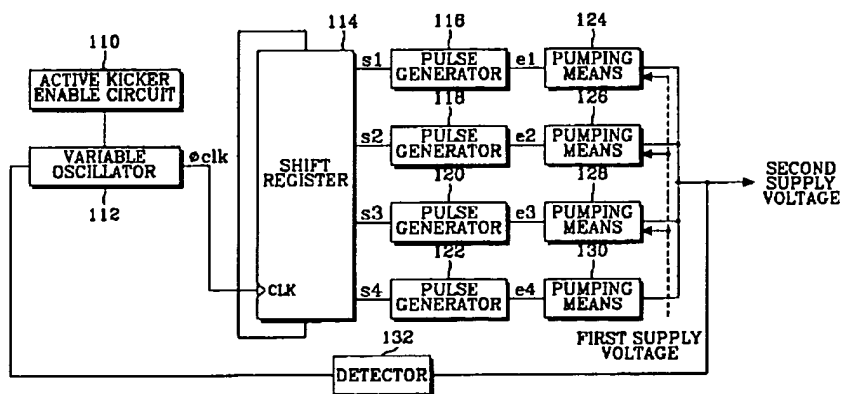
【図4】



【図6】



【図7】



【図8】

